

ニューロンMOSを用いた並列画像信号処理回路の研究

著者	宮脇 守
号	1685
発行年	1994
URL	http://hdl.handle.net/10097/6958

氏 名	宮 脇 守
授 与 学 位	博 士 (工 学)
学位授与年月日	平成 7 年 3 月 24 日
学位授与の根拠法規	学位規則第 4 条第 1 項
研究科, 専攻の名称	東北大学大学院工学研究科 (博士課程) 電子工学専攻
学 位 論 文 題 目	ニューロン MOS を用いた並列画像信号処理回路の研究
指 導 教 官	東北大学教授 大見 忠弘
論 文 審 査 委 員	東北大学教授 大見 忠弘 東北大学教授 星宮 望 東北大学教授 亀山 充隆

論 文 内 容 要 旨

近年, デジタル技術の進歩に伴い, 情報メディアは, 目覚ましい発展を遂げている。今後到来するマルチメディアの時代では, コンピュータと通信とが融合し, 今迄のメディアでは成し得なかった外界情報の分析・統合, 新たな知識の生成, 外界に向けての情報発信が各個人レベルで可能になる。マルチメディアは, 人間の正常な思考能力を拡張するための道具としての色彩が濃くなる。まさに, 創造環境支援ツールなのであり, その真価を発揮させるためには, より人間の感性で操作できるシステムに仕上げるのが重要となる。人間と人間とが対話するように, 機器との対話を可能にするためには, 画像や音声での情報の自由なハンドリング技術は欠かせない。

人にやさしいヒューマンインターフェースを目指して, 各種の画像処理システムの研究開発がなされている。LSI 技術の進歩により高度・低価格でかつコンパクトなシステムが可能になるが, 画像関連の LSI に要求される処理能力は, 極めて膨大である。このため, 各種のマルチプロセッサやパイプラインによる並列処理方式の研究開発が活発に行われているが, 桁違いの処理能力を実現するためには, 抜本的に新しい方式の提案が期待されている。

ここで, 人間が日常的に行っている画像の処理と認識の過程を振り返ってみる。脳での処理は, 化学反応を基本としており, 個々の反応は遅いにもかかわらず実時間で認識が可能なのは, とりもなおさず画像検出系である目から, 処理・記憶をつかさどる脳までそれらの信号が並列処理されていることにほかならない。つまり, 人間の画像処理で注目すべき事は, 目と脳とが一体となっている点にある。

本論文では、画像入力系と画像処理系との役割・機能・方式を、より人間の画像処理系に近づけ、処理能力を高めることを狙いとした。研究の第1目的は、撮像素子自身に特徴抽出機能を持たせたBASISの高性能化と高機能化である。これにより、画像入力系からシリアルなデータを出力する前に、BASIS内で並列に特徴抽出処理が実行されるので、後段の画像処理の負担が軽減される。一方、画像処理系では、アルゴリズム等のソフト技術のみならず、並列でしかも小規模で実現できる新しいLSI技術が要求される。研究の第2目的は、処理部の並列化を目指し、フローティングゲートを介して多入力ゲートを設けたトランジスタ μ -MOSによる新しい相関演算回路を構築することである。 μ -MOSを用いた相関演算回路は、並列化に有利な多数決論理をベースに構成され、従来方式に比べて少ない素子数で構成でき、低消費電力化も図ることができる。本論文は、次の6章から構成されている。

第1章は序論、第6章は結論である。第2章では、BASISの高性能化について言及した。BASISを始めとする増幅型固体撮像素子は、高感度かつ多様な読み出し方ができる等の利点を持つものの、各画素間の不均一性による固定パターンノイズ(FPN)が大きく、結果としてS/Nで劣るという課題を持つ。撮像素子としての基本性能の充実を図るため、まず、FPNの低減検討を行った。その結果、

- (1) FPNとなる h_{FE} の不均一性は、バイポーラトランジスタのエミッタSiと電極界面との間に存在する自然酸化膜により生じることを明らかにした。
- (2) 自然酸化膜の成長を抑制するために、 N_2 雰囲気中でHFディップ、水洗、搬送する装置を開発した。この装置を用いて、プロセスを流すことにより、 h_{FE} の不均一性が低減し、BASISの高S/N化が図れた。

第3章では、BASISの高機能化について言及した。高機能化に向けて、特徴抽出処理として、平均化処理、エッジ検出処理、ピーク検出処理をセンサ内部で並列に実行するチップを試作し、その機能を確認した。これらの処理は、以下に示すように、BASISの特徴を活かしたものである。

- (3) 平均化処理は、信号を読み出す容量の間にスイッチ手段を設け、これらの容量間での電荷ミキシングによって行う。これらの容量は、信号電荷が蓄積されるベース部の容量の約100倍と大きく、スイッチ手段からのサーマルノイズは無視できる。大きな容量に電荷を増幅して読み出すBASISゆえ、このような簡単な構成で実現できる。
- (4) エッジ検出は、隣接領域の差分演算により行う。そのためには、1画素の情報を複数回にわたって演算する必要がある。増幅型であるBASISは、信号電荷がベース領域に残る非破壊読み出しであるため、複数回、複数領域へ同等の信号を読み出すことが可能である。この特徴をうまく活かし、エッジ検出を実現した。
- (5) ピーク検出は、npn型バイポーラトランジスタのエミッタを共通接続すると、最も高いベース電位に相当する電圧がエミッタに出力される特性を利用したものである。BASISでは、各画素の出力エミッタは信号出力ライン上に共通に接続されている。したがって、ピーク検出を行う画素のベース電位を同時に上昇させれば、選択された画素内でのピーク信号が以上説明した原理で出力される。

第4章では、画像処理部について言及した。マルチメディアにおけるLSI技術は、ますます素子数削減、高速化、低消費電力化が要求される。LSIの指導原理である微細化だけでなく、並列処理に有利な新たな方式も重要となる。今回、ロジック回路の基本となっているCMOS回路構成自体を変更し、 ν -MOSをベースに並列画像信号処理回路の構築を目指した。

まず第一に、多入力処理に有効な多数決論理に着目した。 ν -MOSによる多数決論理セルは、CMOSインバータのフローティングゲートには多数の入力容量が接続されて、入力端子と容量との間には、トランスマッションゲートとリセットスイッチが設けられている。CMOSインバータの出力は波形整形用インバータに入力され、多数決論理セルの演算結果を出力する。入力電圧が印加される前、フローティングゲートの電位は、CMOSインバータの論理しきい値にセットされているので、その電圧が+側に振れるか-側に振れるかによってCMOSインバータの状態が決定される。入力電圧のうち、'1'の信号が多ければ+側に振れるので、波形整形用インバータの出力はハイレベルとなる。逆に、'0'の信号が多ければ-側に振れるので、この回路が事実上、多数決論理セルとして動作する。以上説明した ν -MOSを用いた多数決論理セルと従来のCMOS構成のものと比較を行った。入力数の増加に伴い、CMOS回路では素子数が急速に増大するが、 ν -MOSの場合では線形的にしか増えない。 ν -MOSの場合、入力数に対して素子数の増加が線形的レベルに止まるのは、入力数が増加しても容量とトランスマッションゲートとリセットスイッチだけが付け加わるだけでよいからである。つまり、入力に対して、トランジスタや容量が対称的に構成できている。一方、CMOS構成の場合、AND回路とOR回路との組み合わせにより成るため、入力に対してトランジスタが対称的に構成できない。したがって、入力数が増えると、素子数が急速に増大する。多数決論理セルの伝搬遅延時間に関しては、入力数が4以下と少ないときは、CMOS回路の方が速いが、入力数が5以上となると、 ν -MOS構成の方が有利となる。これは、ゲートレベルで並列に演算ができ、かつ入力数に伴って素子数が急速に増大しないためと考えられる。以上述べたように、

(6) 多数決論理は一括して多数のデータ処理するのに有効であり、 ν -MOSで多数決論理セルを構成すると、高速化、小規模化が図れることを見出した。

第2に、 ν -MOSを用いた多数決論理セルをベースにした並列相関器の構成について述べる。この相関器は、大きく分けると、データ相関演算部と相関スコア演算部から成り立つ。データ相関演算部は、主にEXOR回路による比較器で構成される。相関スコア演算部には、データ相関演算部の出力が入力され、相関スコア値を2進数にエンコードして出力する。相関スコア演算部は、分類分けブロックとエンコードブロックから構成される。

分類分けは、相関ビット'1'と非相関ビット'0'との数を多数決論理セルにより判別し実行する。たとえば、7ビット相関器の場合、相関ビット'1'が5個以上あるかどうかを判定するためには、9入力の多数決論理セルを用いる。9個の入力容量には、7つデータと2つの制御信号が入力する。2つの制御用容量にはデータ'0'を入力しておけば、7つのデータ中に'1'が5つ以上のとき、CMOSインバータのフローティングゲートには+電荷が誘起し、波形整形用インバータの出力は'1'となる。以上の原理により多数決論理セルを用いて分類分けが実行できる。このよ

うな分類分けは、個々の入力ビットのアドレスには無関係であり、多入力ビットのうちの‘1’または‘0’の数のみが関係しており、多数決論理を用いて実行することが極めて有効である。

エンコーダブロックも多数決論理セルで構成できる。7入力相関器の場合の分類分けブロックからの出力を J_i ($i = 1 \sim 7$) とする。 J_i は、7入力中‘1’が i 個以上ある時‘1’それ以外の時‘0’となる出力である。エンコード出力の最上位ビットは、7入力中‘1’が4個以上ある時‘1’、3個以下の時‘0’である。つまり、最上位ビットは7多数決論理セルの出力 J_4 そのものである。また、中位ビット及び最下位ビットは、それぞれ J_2 と $\overline{J_4}$ と J_6 との3つの多数決と J_1 と $\overline{J_2}$ と J_3 と $\overline{J_4}$ と J_5 と $\overline{J_6}$ と J_7 との7つの多数決により表現できることがわかった。

多数決論理で相関器を構成する場合の素子削減方法として、*1) 対称セルを共通化する *2) 異なるセルを対称化する *3) フィードバックループを形成するという3つの手法を見出した。

まずに、対称セル化を共通化する手法について説明する。分類分けブロックの多数決論理セルに注目すると、7ビット相関器の場合、7入力多数決論理セル(M7)を中心に9入力多数決論理セル(M9)、11入力多数決論理セル(M11)、13入力多数決論理セル(M13)のセルが対称に配置されている。M7セルよりも上部セルの制御端子にはローレベルの‘0’が、一方、M7セルよりも下部セルの制御端子にはハイレベルの‘1’が入力されているので、M7セルの反転出力をM9、M11、M13セル制御端子に入力すればM9、M11、M13セルは半分削減できる。

次に、異なるセルを対称化する手法について述べる。入力端子の数を増やし、制御端子の組み合わせを選択することによって可能になる。たとえば、2つの制御端子付き9入力多数決論理セルは、4つと2つの制御付き13入力多数決論理セルで表現できる。この場合、4つと2つの制御端子には逆相の信号を入力すれば2つの制御端子と等価になるからである。セルの対称化ができれば、第1の共通化により素子数はさらに削減する。

最後に、フィードバックループを形成する手法について述べる。フィードバック型は、複数の多数決論理セルを1つの多数決論理セルとラッチから構成し、多数決論理セルの出力をラッチにいれ、演算に応じて制御端子の組み分け方とその制御信号とをコントロールして実行するものである。

ν -MOSを用いた多数決論理セルによる相関器は、以上説明した手法を用いることにより、従来のCMOS回路によるフルアダー方式よりも、約半分のトランジスタ数で構成でき、素子数が少ない分消費電力も少なくできることが明らかになった。 ν -MOSを用いた画像処理部の検討をまとめると次のようになる。

(7) 多数決論理セルをベースに、相関器を構成する場合の素子数削減、多入力化、高速化、低消費電力化の方法論を確立し、その有効性を試作チップにより確認した。

第5章では、BASISと ν -MOSとを一体化した視覚情報処理への応用について言及した。ここで提案する方式は、BASISにより画像入力系で情報圧縮を図り、その周辺部に少ない素子数で構成できる ν -MOSにより処理系を配置し、簡便な方法で動き量を検出しようとするものである。具体的な情報圧縮は、固体撮像素子に採り込まれた2次元画像をX方向、Y方向に射影出力し1次元データに変換することで行う。後者の ν -MOSによる処理は、異なる時刻の射影データ間の相関演算により実行するものである。これらのシミュレーション検討から、

- (8) 2次元画像を射影1次元データに並列に変換するBASIS駆動方法とこれらの射影データを用いて動き検出をするための最適サンプリング方法を見出した。

BASISと μ -MOSは、画像用LSIとして有効な技術であるだけでなく、ともにフローティング端子に接続された容量手段を演算にうまく活用している点、デバイス技術としても共通点を持ち、本研究で得られたデバイス動作方式は今後多くの分野で有用なものになると考えられる。

審 査 結 果 の 要 旨

画像・音声情報を同時に扱うマルチメディアの時代を迎え、デジタル演算を基本とする集積回路技術は今大きな変革を迫られている。膨大なアナログ情報を持つ画像情報を逐次 A/D 変換し、すべてをバイナリ・デジタル演算で処理する現在の方式では、実時間応答が不可能であり、新たな動作原理に基づく集積回路システムの開発が待望されている。

著者は、記憶機能を持ったバイポーラ型イメージセンサ BASIS と、単体で脳細胞ニューロンと類似の機能を持つニューロン MOS (ν MOS と略) とを組み合わせることにより、画像をイメージセンサにとり込むと同時に、その場で特徴抽出等の処理を行う集積回路システムの研究を行った。本論文は、これらの成果をとりまとめたもので、全文 6 章よりなる。

第 1 章は序論である。

第 2 章は、画像入力素子として用いる BASIS の高性能化について述べたもので、エミッタシリコンと金属電極界面に存在する自然酸化膜が固定パターンノイズの主要因の一つであることを見出し、電極形成をすべて超高純度窒素雰囲気で行う新しい技術開発により、自然酸化膜フリープロセスを初めて実現した。これを、実際に 130 万画素のエリアセンサに応用し、約 68dB という広いダイナミックレンジを達成している。これは重要な成果である。

第 3 章では、BASIS の高機能化について述べており、その映像記憶機能を活用し、センサ内部で画像の平均化、エッジ検出、ピーク検出等の特徴抽出が行える回路を開発し、その動作をチップの試作により実証した。

第 4 章では、多数決セルを用いた並列相関演算回路について述べている。 ν MOS を用いることで多数決セルが従来の CMOS 回路にくらべ大幅に簡略化できることに着目し、相関器回路の素子数削減、並列化、高速化、低消費電力化を達成した。また、チップの試作により、その有効性を実証した。これは重要な知見である。

第 5 章では、BASIS と ν MOS を組み合わせて実現される視覚情報処理の応用として、異なる時刻の画像の X 方向、Y 方向射影データを用いて、物体の動き検出を行うチップを提案、試作し、その有効性をシミュレーションにより示している。

第 6 章は結論である。

以上要するに本論文は、記憶機能を持ったイメージセンサ BASIS と、高機能デバイスニューロン MOS を組み合わせて実現される新しいイメージセンサの基礎技術を確立し、これにより従来のバイナリ・デジタル一本槍の情報処理が最も不得手とした画像入力デバイスの高速化・高機能化を可能にしたもので、半導体電子工学の発展に寄与するところが少なくない。

よって、本論文は博士（工学）の学位論文として合格と認める。